

(2) Japanese Patent Application Laid-Open No. 8-130304 (1996)

"MOS SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME"

5 The following is an extract relevant to the present application.

10 In both diffusion regions for a source • drain, three contact holes each
are arranged along a polycrystalline silicon gate electrode. Each of the
contact holes spreads over the diffusion region and its outer field oxide film
region which is a separating insulating film. In a bottom surface of a contact
hole extending off the diffusion region and spreading over the field oxide film
region, a field oxide film is selectively removed. In a bottom surface of the
contact hole, an N type diffusion layer into which an impurity is introduced
via a contact hole by ion implantation is formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-130304

(43) 公開日 平成8年(1996)5月21日

(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 X

審査請求 有 請求項の数 4 F D (全 7 頁)

(21) 出願番号 特願平6-292315

(22) 出願日 平成6年(1994)10月31日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 谷川 哲郎

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 渡辺 博文

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 一色 海平

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 弁理士 野口 繁雄

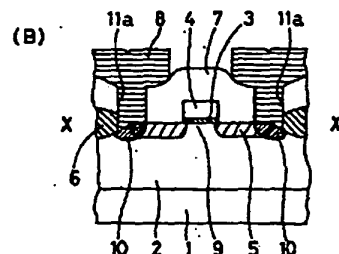
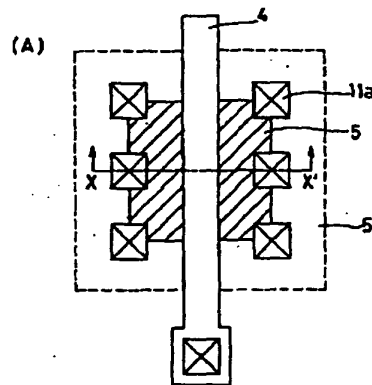
最終頁に続く

(54) 【発明の名称】 MOS型半導体装置とその製造方法

(57) 【要約】

【目的】 ソース・ドレイン領域の面積を縮小させて接合容量を低減する。

【構成】 ソース・ドレイン用の両拡散領域5には多結晶シリコンゲート電極4に沿って3個ずつのコンタクトホール11aが配列されている。各コンタクトホール11aは拡散領域5とその外側の分離用絶縁膜であるフィールド酸化膜領域とにまたがって形成されている。コンタクトホール11aの底部のうち、拡散領域5からはみ出したフィールド酸化膜領域ではフィールド酸化膜が選択的に除去されている。コンタクトホール11aの底部にはコンタクトホール11aを通してイオン注入により不純物が導入されたN型拡散層10が形成されている。



【特許請求の範囲】

【請求項1】 分離絶縁膜で分離された半導体基板の活性領域のチャネル領域上に、ゲート絶縁膜を介して多結晶シリコンゲート電極が形成され、活性領域の基板表面にはチャネル領域を挟んでソース領域とドレイン領域の拡散領域が形成されているMOS型半導体装置において、

前記両拡散領域にはそれぞれ複数個ずつのコンタクトホールを介して電極配線が接続され、

両拡散領域においてそれぞれのコンタクトホールの少なくとも1つはその拡散領域と分離絶縁膜領域にわたって形成され、かつそのコンタクトホール内では分離絶縁膜が除去されているとともに、コンタクトホール底部にはソース・ドレイン領域と同じ導電型の不純物拡散層が形成されていることを特徴とするMOS型半導体装置。

【請求項2】 ゲート電極が活性領域上で曲部を有する請求項1に記載のMOS型半導体装置。

【請求項3】 ソース領域及びドレイン領域のそれぞれにおいて、コンタクトホールがゲート電極に沿って2列に配列され、かつ、一方の列は活性領域内に位置し、他方の列は活性領域と分離絶縁膜領域との境界に位置しており、

ソース領域及びドレイン領域のそれぞれにおいて一方の列の1個のコンタクトホールと他方の列でそのコンタクトホールに隣接する2個のコンタクトホールはそれぞれの中心を結ぶと一方の列の1個のコンタクトホールを頂点とする二等辺三角形を構成する位置に配置されている請求項1に記載のMOS型半導体装置。

【請求項4】 第1導電型半導体基板の表面に活性領域を分離するための分離絶縁膜を形成し、活性領域の基板表面にはチャネル領域とする部分の上にゲート絶縁膜を介してゲート電極を形成し、活性領域の基板表面にはチャネル領域を挟んで第2導電型のソース領域とドレイン領域を形成した後、以下の工程を含んで電極配線とのコンタクトを形成することを特徴とする半導体装置の製造方法。

(A) ゲート電極上から基板全面に層間絶縁膜を堆積する工程、(B) ソース領域とドレイン領域の両拡散領域にはそれぞれ複数個ずつのコンタクトホールが形成されるように、かつ両拡散領域においてそれぞれのコンタクトホールの少なくとも1つはその拡散領域と分離絶縁膜領域にまたがるようにコンタクトホール領域を設定し、そのコンタクトホール領域で層間絶縁膜をソース領域及びドレイン領域の基板と分離絶縁膜の下部の基板が露出するまでエッチングしてコンタクトホールを形成する工程、(C) 前記コンタクトホールを通して基板に第2導電型不純物をイオン注入する工程、(D) その後、前記コンタクトホールを介してソース領域又はドレイン領域と接続される電極配線を形成する工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOS型半導体装置とその製造方法に関し、特に、電極配線とのコンタクトに特徴をもつ半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路装置を構成しているMOSトランジスタの微細化が進み、いわゆるディープサブミクロンと称される世代に入りつつあり、それに伴って集積回路の高集積化と高性能化がますます推し進められている。このようにMOSトランジスタが微細化されるに伴って、写真製版工程におけるアライメントずれや、選択酸化法(LOCOS法)に代表される通常よく用いられる熱酸化を利用した活性領域分離法におけるパズピークと称される分離用の厚い熱酸化膜両端のくちばし形状の酸化膜の存在が微細化の大きな障害となってきた。

【0003】 また、高性能化においてはMOSトランジスタの寄生容量及び寄生抵抗が回路動作向上を妨げる大きな要因となってきた。特に、ドレイン拡散層の接合容量は回路動作に重大な影響を及ぼす(電子情報通信学会技術研究報告SDM92-137参照)。

【0004】 このような実情のもと、絶縁膜に開口したコンタクトホールを通してソース領域及びドレイン領域の下方に同領域と同じ導電型の不純物又は反対導電型の不純物をイオン注入し、ソース領域及びドレイン領域と基板半導体との中間的な不純物濃度の半導体層を設けることにより、コンタクトホールの下方に限ってソース領域とドレイン領域の接合容量を低減させることが提案されている(特公平4-57097号公報参照)。

【0005】

【発明が解決しようとする課題】 上記の特公平4-57097号公報に提案されている方法で形成されたMOSトランジスタでは、ソース領域とドレイン領域のうちコンタクトホール下部の接合容量が低減されるだけであり、大きな効果は期待できない。それどころか、ソース領域とドレイン領域の下部に反対導電型の中間的な濃度の拡散層を形成した場合には、そのような中間的な濃度の拡散層がない場合に比べて接合面積が増大し、かえって接合容量を増大させるおそれがある。本発明はソース領域とドレイン領域の面積を縮小させることにより効果的に拡散層接合容量を低減させ、回路動作及び集積度の向上を可能にするMOSトランジスタとその製造方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明では、ソース拡散領域とドレイン拡散領域には複数個ずつのコンタクトホールを介して電極配線が接続され、両拡散領域においてそれぞれのコンタクトホールの少なくとも1つはその拡散領域と分離絶縁膜領域にわたって形成され、かつその

コンタクトホール内では分離絶縁膜が除去されているとともに、コンタクトホール底部にはソース・ドレイン領域と同じ導電型の不純物拡散層が形成されている。その際、ゲート電極が活性領域上で曲部を有していることが好ましい。

【0007】本発明の他の態様では、ソース領域及びドレイン領域のそれぞれにおいて、コンタクトホールがゲート電極に沿って2列に配列され、かつ、一方の列は活性領域内に位置し、他方の列は活性領域と分離絶縁膜領域との境界に位置しており、ソース領域及びドレイン領域のそれぞれにおいて一方の列の1個のコンタクトホールと他方の列でそのコンタクトホールに隣接する2個のコンタクトホールはそれぞれの中心を結ぶと一方の列の1個のコンタクトホールを頂点とする二等辺三角形を構成する位置に配置されている。

【0008】本発明の製造方法は、電極配線とのコンタクトを形成するために次の工程を含んでいる。(A)ゲート電極上から基板全面に層間絶縁膜を堆積する工程、

(B)ソース領域とドレイン領域の両拡散領域にはそれぞれ複数個ずつのコンタクトホールが形成されるように、かつ両拡散領域においてそれぞれのコンタクトホールの少なくとも1つはその拡散領域と分離絶縁膜領域にまたがるようにコンタクトホール領域を設定し、そのコンタクトホール領域で層間絶縁膜をソース領域及びドレイン領域の基板と分離絶縁膜の下部の基板が露出するまでエッチングしてコンタクトホールを形成する工程、

(C)前記コンタクトホールを通して基板に第2導電型不純物をイオン注入する工程、及び(D)その後、前記コンタクトホールを介してソース領域又はドレイン領域と接続される電極配線を形成する工程。

【0009】

【実施例】図1は請求項1に対応した実施例を表わす。

(A)は平面図、(B)は(A)のX-X'線位置での断面図である。図1(A)に示されるように、ソース領域とドレイン領域の両拡散領域5にはそれぞれ多結晶シリコンゲート電極4に沿って3個ずつのコンタクトホール11aが配列されている。各コンタクトホール11aは拡散領域5とその外側の分離用絶縁膜であるフィールド酸化膜領域6にまたがって形成されている。コンタクトホール11aとゲート電極4との距離は写真製版工程でのアライメントずれを考慮して設定されている。従来は破線で示される領域まで拡散領域5'が形成されていたのに対し、この実施例ではコンタクトホール11aの位置を従来のものと同じ位置とし、拡散領域と分離絶縁膜との境界がコンタクトホール11aにかかることなく拡散領域5を縮小している。

【0010】断面図を示す図1(B)を参照してこのMOSトランジスタの構造を説明すると、1はP型シリコン基板、2はP型ウェルであり、分離用絶縁膜のフィールド酸化膜6で分離された活性領域にはチャンネル領域9

上にゲート酸化膜3を介してゲート電極4が形成されており、チャンネル領域9を挟んでソース領域とドレイン領域の拡散領域5が形成されている。ゲート電極4上から形成されている層間絶縁膜7にはコンタクトホール11aがあげられ、コンタクトホール11aは拡散領域5とフィールド酸化膜6の領域にまたがる位置に形成されている。コンタクトホール11aの底部のうち、拡散領域5からはみ出したフィールド酸化膜領域ではフィールド酸化膜が選択的に除去されている。コンタクトホール11aの底部にはコンタクトホール11aを通してイオン注入により不純物が導入されたN型拡散層10が形成されている。8はそのコンタクトホール11aを介して拡散領域5と接続するための電極配線であり、電極配線8がフィールド酸化膜領域でN型ウェル2と接触する位置には、そのN型拡散層10が形成されているため、電極配線8がウェル2と直接接触することはない。

【0011】図1の実施例では、従来なら破線で示された領域まで必要であったソース・ドレインのための拡散領域5'が実線で示された領域5まで縮小されている。このように、拡散領域面積は従来の場合と比較して数十%程度低減でき、したがって、その分拡散領域5の接合容量も低減できて、回路動作及び集積度の向上を同時に図ることができる。

【0012】図2は他の実施例を示したものであり、拡散領域5の面積は従来のものと比較して小さくはしていないが、ゲート幅を長くすることによって電流駆動能力の増大、すなわち回路動作の向上を図ったものである。図2の実施例ではソース領域とドレイン領域はそれぞれ3個ずつのコンタクトホールを備えているが、各領域で3個のコンタクトホールのうちの1個のコンタクトホール11aを拡散領域5とフィールド酸化膜6にまたがるように配置することによって、活性領域上でゲート電極が利用できる面積を増やしている。ゲート電極4aはクランク状に折れ曲がった曲部を有し、実効的にゲート幅を増大させている。コンタクトホール11aは図1(B)で示されたものと同じく、底部が拡散領域5とフィールド酸化膜領域にまたがり、そのコンタクトホール底部には拡散領域5と同じ導電型の拡散層10が形成されている。他のコンタクトホール11は拡散領域5内にのみ存在するものであり、それらは従来のコンタクトホールと同じものである。

【0013】通常、回路動作を向上させるための最も効果的でかつ簡便な方法はゲート幅を大きくすることであるが、従来のように直線状のゲート電極を備えたMOSトランジスタでゲート幅を増大させれば、同時に拡散領域の面積も増大し、拡散領域の接合容量も増大させてしまい、回路負荷が小さな場合にはさほど有効ではない。しかし、図2の実施例では拡散領域5の面積を増大させないので接合容量を増大させることなく、ゲート電極4aに曲部を設けることによりゲート幅のみを大きくでき

は同じもので、問題はない。

【0023】(C)その後、基板表面側の全面にリン又は砒素をイオン注入する。これによって、コンタクトホール11a(図2、図3の実施例ではコンタクトホール11も含まれる)を通して、コンタクトホール11a下方にN型層10が形成される。注入不純物としては、後工程であまり熱をかけたくない場合は、砒素よりも低温で活性化できるリンを選択するとよいが、同一注入エネルギー下ではリンの方が砒素に比べ投影飛程が大きくなるために注入エネルギーを調節する必要がある。例えば、N型層10の不純物分布をN⁺型層5と同じくらいにしたい場合は、リンの注入エネルギーを30KeV程度にすればよい。コンタクトホール11a下方のN型層10における接合容量を抑えるために、不純物分布を深くなだらかなるよう制御するのが好ましいが、他の要請とも合わせて注入及び活性化の条件を設定すればよい。その後、既知の技術により電極配線8を形成する。

【0024】このようにして形成された図4(C)のMOSトランジスタにおいては、コンタクトホール底面において、コンタクトホール内のフィールド酸化膜は完全に除去されてその下側のウエル2の表面が露出しており、またソース・ドレイン領域においてもその表面の高さはもとの基板表面(この実施例の場合はウエル2の表面)の高さよりも低くなっている。またフィールド酸化膜が除去されたことによりコンタクトホール底面内に段差が存在し、そのためコンタクトホールを従来のように拡散領域上のみ形成した場合と比べてコンタクト面積が増大し、コンタクトホール1個当たりのコンタクト抵抗が低減されている。

【0025】しかも、コンタクトホール底部にはコンタクトホールを経て注入された不純物によるN型層10が存在するため、電極配線8からウエル2、基板1へのリークを防ぐことができ、アライメントずれにもある程度のマージンを与えることができる。

【0026】以上の実施例ではシングルドレイン構造のNチャネル型MOSトランジスタを例にして説明しているが、本発明はPチャネル型MOSトランジスタは勿論のこと、LDD構造又はゲートオーバーラップ構造を有するMOSトランジスタや、さらには他の絶縁ゲート型トランジスタにも適用することができ、それらの場合にも上記の実施例の場合と同様の効果が得られる。

【0027】

【発明の効果】本発明ではソース・ドレイン用の両拡散領域にそれぞれ複数個ずつのコンタクトホールを設け、それぞれのコンタクトホールの少なくとも1つはその拡散領域と分離絶縁膜領域にわたって形成し、そのコンタクトホール内では分離絶縁膜を除去し、コンタクトホー

ル底部にはソース・ドレイン領域と同じ導電型の不純物拡散層を形成したので、回路動作に多大な影響を及ぼす拡散層の接合容量を低減させ、拡散領域の面積を増大させることなく電流駆動力を向上させたり、コンタクト部の寄生抵抗を低減させることにより、回路動作の向上を図ることができる。しかも、コンタクトホール底部にはコンタクトホールを経て注入された不純物による拡散層が存在するため、電極配線からウエルや基板へのリークを防ぐことができ、アライメントずれにもある程度のマージンを与えることができる。

【0028】ゲート電極が活性領域上で曲部を有するように形成すれば、拡散層の接合容量を増大させることなくゲート幅を大きくすることができ、その結果、集積度を下げることなく回路動作の向上を図ることができる。ソース・ドレイン領域においてコンタクトホールをゲート電極に沿って2列に配列し、一方の列は活性領域内に位置させ、他方の列は活性領域と分離絶縁膜領域との境界に位置させるとともに、一方の列の1個のコンタクトホールと他方の列でそのコンタクトホールに隣接する2個のコンタクトホールはそれぞれの中心を結ぶと一方の列の1個のコンタクトホールを頂点とする二等辺三角形を構成する位置に配置すれば、ソース・ドレイン領域でのコンタクトホール密度を高めることができるので、拡散層の接合容量を増大させることなくコンタクト部の寄生抵抗を低減することができ、集積度を下げることなく回路動作の向上を図ることができる。

【図面の簡単な説明】

【図1】請求項1に対応した実施例を示す図であり、(A)は平面図、(B)はそのX-X'線位置での断面図である。

【図2】請求項2に対応した実施例を示す平面図である。

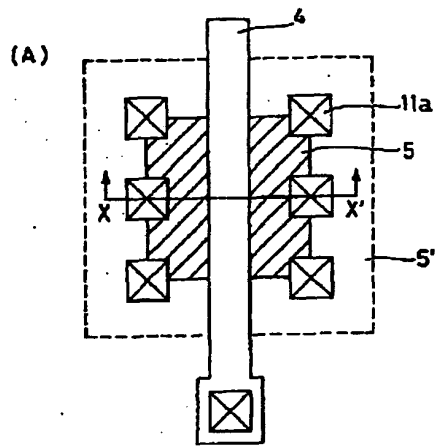
【図3】請求項3に対応した実施例を示す図である、(A)は平面図、(B)はコンタクトホールの配置を示す平面図である。

【図4】請求項4に対応した製造方法を示す工程断面図である。

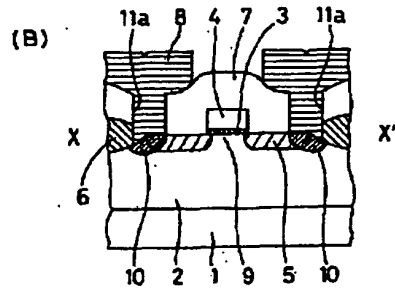
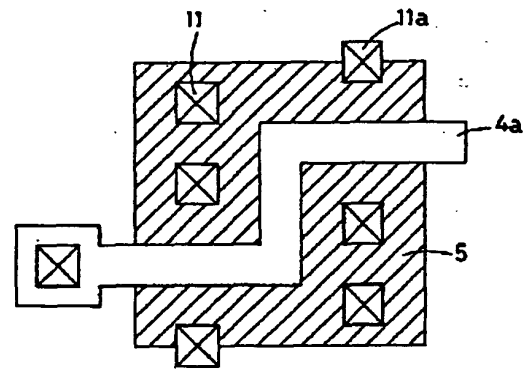
【符号の説明】

- | | |
|---------|----------------|
| 1 | P型シリコン基板 |
| 2 | P型ウエル |
| 3 | ゲート酸化膜 |
| 4, 4a | ゲート電極 |
| 5 | ソース・ドレイン用の拡散領域 |
| 6 | フィールド酸化膜 |
| 8 | 電極配線 |
| 11, 11a | コンタクトホール |

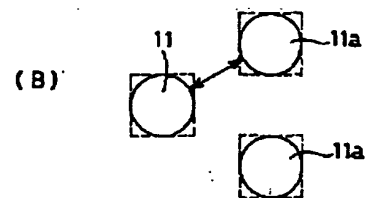
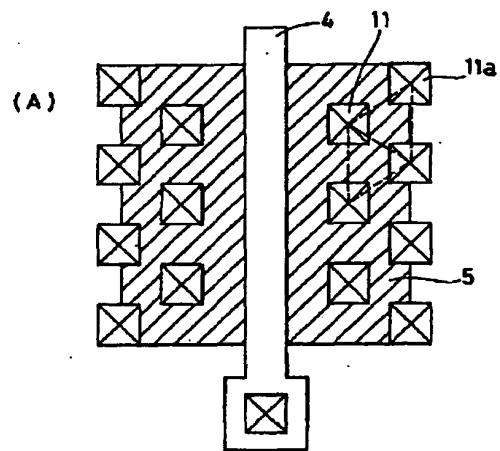
【図 1】



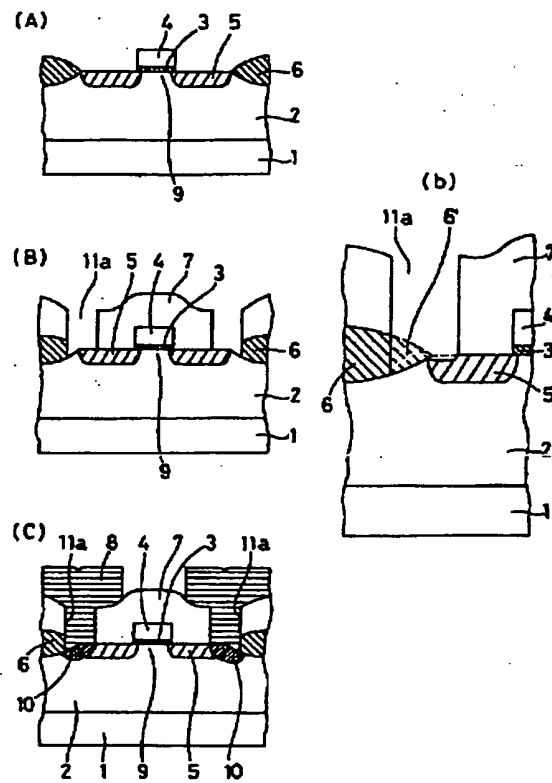
【図 2】



【図 3】



【図4】



フロントページの続き

(72)発明者 進藤 泰之
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内